

Japanese Patent Application Laid-Open No. 5-313673

(43) Publication Date: November 26, 1993

(21) Application Number: Japanese Patent Application No.  
4-120960

(22) Filing Date: May 14, 1992

(71) Applicant: 000004237

NEC Corporation

(72) Inventor: Atsushi Hasegawa

[0012] In Fig. 1, a noise generating circuit 40 generates noise of a specific pattern through output 3 of a timer circuit 30 that is started through a start-up control signal, and a switch circuit 70 switches between output of the noise generating circuit 40 and a receiving input signal  $R_{in}$  through output 1 of the timer circuit 30, and a switch circuit 80 switches to determine whether to output the received input signal  $R_{in}$  to a receiving output signal terminal through output 5 of the timer circuit 30.

[0013] An estimation circuit 10 estimates an echo in which a receiving output signal  $R_{out}$  (speaker) enters to a receiving input signal  $S_{in}$  (microphone) through an adaptive type FIR (finite impulse response) by referring to a transmitting output signal  $S_{out}$  ( $\varepsilon$ ) and the receiving input signal  $R_{in}$  as output from the switch circuit 70, and a subtraction circuit 20

subtracts the estimated echo as estimated by the subtraction circuit from the transmitting input signal  $S_{in}$  to obtain transmitting output signal  $S_{out}$ .

<FIG. 1>

- (1) 60: Switch circuit
- (2) 20: Subtraction circuit
- (3) 50: Memory circuit
- (4) 10: Estimation circuit
- (5) 30: Timer circuit
- (6) Start-up control signal
- (7) Rout (speaker)
- (8) 80: Switch circuit
- (9) 40: Noise generating circuit
- (10) 70: Switch circuit

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-313673

(43)公開日 平成5年(1993)11月26日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 1 0 K 11/16	H	7406-5H		
H 0 3 H 21/00		7037-5 J		

審査請求 未請求 請求項の数 2(全 6 頁)

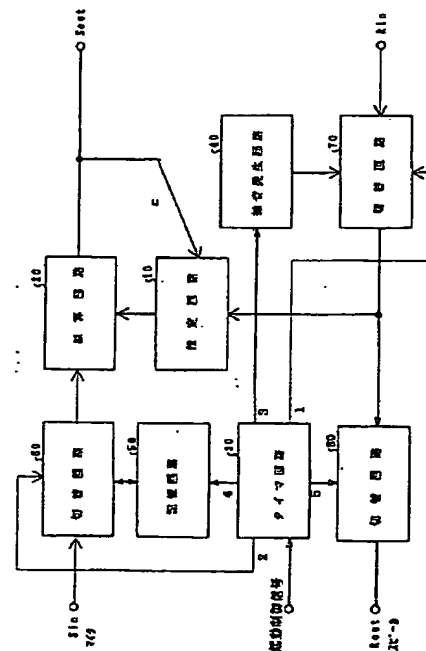
(21)出願番号	特願平4-120960	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成4年(1992)5月14日	(72)発明者	長谷川 厚志 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74)代理人	弁理士 岩佐 義幸

(54)【発明の名称】 音響系エコーキャンセラ

## (57)【要約】

【目的】 初期エコー経路推定時におけるトレーニングノイズの発生時間を短縮する。

【構成】 雑音発生回路40によりある周期 $\tau$ を持つノイズを発生させ、切替回路70により受信入力信号 $R_{in}$ に与える。切替回路80によってある時間繰返しノイズを受信出力信号 $R_{out}$ (スピーカ)に出力する。その時のエコーである送信入力信号 $S_{in}$ を切替回路60、記憶回路50によってあるタイミングで $\tau$ 時間記憶する。記憶後は受信出力信号 $R_{out}$ を切替回路80によって切り、切替回路60によって記憶回路50の出力を減算回路20に入力する。



## 【特許請求の範囲】

【請求項1】受信出力信号が送信入力信号に回り込むエコーを受信入力信号と送信出力信号を参照して推定する推定回路と、

推定されたエコーを送信入力信号から減算して送信出力信号とする減算回路と、

起動制御信号によりスタートする5点独立制御可能なタイマ回路と、

タイマ回路の出力3によってある特定パターンのノイズを発生する雑音発生回路と、

雑音発生回路の出力と受信入力信号とをタイマ回路の第1の出力によって切り替える第1の切替回路と、

タイマ回路の第4の出力によって入出力制御可能な記憶回路と、

タイマ回路の第2の出力によって送信入力信号と記憶回路の入出力とエコーキャンセラへの出力の3点から2点を選び接続する第2の切替回路と、

タイマ回路の第5の出力5によって受信入力信号を受信出力信号に出力するかどうか切り替える第3の切替回路とを備えることを特徴とする音響系エコーキャンセラ。

【請求項2】前記エコーを、受信入力信号と送信出力信号を参照して適応型FIR形フィルタにより推定することを特徴とする請求項1記載の音響系エコーキャンセラ。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、音声会議のスピーカからマイクへの回り込み（室内エコー）を消去する音響系エコーキャンセラに関し、特に、初期エコー経路推定時にノイズによるトレーニングが必要な音響系エコーキャンセラに関する。

## 【0002】

【従来の技術】従来の音響系エコーキャンセラを図3により説明する。

【0003】音響系エコーキャンセラは、通常運用する前に室内エコーを推定するためトレーニングを行う。

【0004】トレーニングに用いる音源にはホワイトノイズが使われる。ノイズを数秒間発生させ、十分に推定を済ませてから、通常運用にはいる。

【0005】タイマ回路30は、起動制御信号によって数秒間、切替回路制御信号を出力する。これにより切替回路70は、雑音発生回路40からの入力を出力する。従って、数秒間、受信出力信号Rout（スピーカ）からノイズが発生する。その後、切替回路70は、受信入力信号Rinを出力し、通常運用にはいる。

## 【0006】

【発明が解決しようとする課題】上述した従来の音響系エコーキャンセラでは、通常運用する前に室内エコーを推定するためにノイズによるトレーニングを行うが、トレーニングノイズの出力時間が長く（例えば10秒）、

使用する度に長い時間ノイズを聞かなくてはならないという問題点があった。

【0007】本発明の目的は、このトレーニングノイズの発生時間を短くすることができる音響系エコーキャンセラを提供することにある。

## 【0008】

【課題を解決するための手段】本発明は、受信出力信号が送信入力信号に回り込むエコーを受信入力信号と送信出力信号を参照して推定する推定回路と、推定されたエコーを送信入力信号から減算して送信出力信号とする減算回路と、起動制御信号によりスタートする5点独立制御可能なタイマ回路と、タイマ回路の出力3によってある特定パターンのノイズを発生する雑音発生回路と、雑音発生回路の出力と受信入力信号とをタイマ回路の第1の出力によって切り替える第1の切替回路と、タイマ回路の第4の出力によって入出力制御可能な記憶回路と、タイマ回路の第2の出力によって送信入力信号と記憶回路の入出力とエコーキャンセラへの出力の3点から2点を選び接続する第2の切替回路と、タイマ回路の第5の出力5によって受信入力信号を受信出力信号に出力するかどうか切り替える第3の切替回路とを備えることを特徴としている。

【0009】また、本発明によれば、前記エコーを、受信入力信号と送信出力信号を参照して適応型FIR形フィルタにより推定するのが好ましい。

## 【0010】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0011】図1は、本発明の音響系エコーキャンセラの一実施例を示すブロック図であり、図2はタイマ回路のシーケンス図である。

【0012】図1において、雑音発生回路40は、起動制御信号によりスタートするタイマ回路30の出力3によりある特定パターンのノイズを発生し、切替回路70は、タイマ回路30の出力1により雑音発生回路40の出力と受信入力信号Rinとを切り替え、切替回路80は、タイマ回路30の出力5により受信入力信号Rinを受信出力信号端子に出力するかどうかの切り替えを行う。

【0013】推定回路10は、受信出力信号Rout（スピーカ）が受信入力信号Sin（マイク）に回り込むエコーを、送信出力信号Sout（ε）と、切替回路70より出力された受信入力信号Rinとを参照して適応型FIR（finite impulse response）形フィルタにより推定し、減算回路20は送信入力信号Sinから減算回路により推定された推定エコーを引いて送信出力信号Soutとする。

【0014】また、記憶回路50は、タイマ回路30の出力5により入出力制御され、切替回路60は、タイマ回路30の出力2により送信入力信号Sinと記憶回路

50の入出力と減算回路20への出力の3点から2点を選んで接続する。

【0015】次に、本実施例の動作について説明する。

【0016】本実施例では、指定回路10において受信入力信号 $R_{in}$ と送信出力信号 $S_{out}(\varepsilon)$ を参照することにより、エコー経路の推定を行い、減算回路20において送信入力信号 $S_{in}$ から推定エコーを減じ、エコー消去を実現している。従って、エコー経路推定に必要な信号は受信入力信号 $R_{in}$ と送信入力信号 $S_{in}$ になる。

【0017】ところで、推定回路のアルゴリズムに学習同定法を用いているエコーキャンセラでは、受信入力信号 $R_{in}$ 、送信入力信号 $S_{in}$ が1度取り込んだサンプルデータの繰り返しでもエコー経路推定が可能であることが知られている。

【0018】そこで、雑音発生回路40によりある繰り返しパターン（周期 $\tau$ ）を持つノイズを発生させ、切替回路70により受信入力信号 $R_{in}$ により与える。切替回路80によってある時間繰り返しノイズを受信出力信号 $R_{out}$ （スピーカ）に出力する。その時のエコーである送信入力信号 $S_{in}$ を切替回路60、記憶回路50によってあるタイミングで $\tau$ 時間記憶する（ノイズパターン1周期分サンプリングする）。記憶後は受信出力信号 $R_{out}$ を切替回路80によって切り、切替回路60によって記憶回路50の出力を減算回路に入力する。この際、記憶回路50の出力は時間 $\tau$ ぶんのデータの繰り返しとし、雑音発生回路40と同期を取る。

【0019】よって、初期エコー経路の推定は雑音発生

回路40からの出力である受信入力信号 $R_{in}$ と記憶回路50からの出力である送信入力信号 $S_{in}$ により行われる。従って、本発明によればスピーカからのノイズ発生時間は最低 $\tau$ 時間ということになる。

【0020】

【発明の効果】以上説明したように本発明は、トレーニングノイズによる室内エコーをサンプリングし、サンプルデータを繰り返し使うことにより初期推定を行うので、初期室内エコー推定のトレーニングノイズをたとえば10sec程度から最低0.16sec(1280tap/8kサンプリング)に短縮することができるという効果を有する。

【図面の簡単な説明】

【図1】本発明の一実施例を示すブロック図である。

【図2】タイマ回路のシーケンス図である。

【図3】従来技術の一実施例を示すブロック図である。

【符号の説明】

1～5 タイマ回路の出力

10 推定回路

20 減算回路

30 タイマ回路

40 雑音発生回路

50 記憶回路

60, 70, 80 切替回路

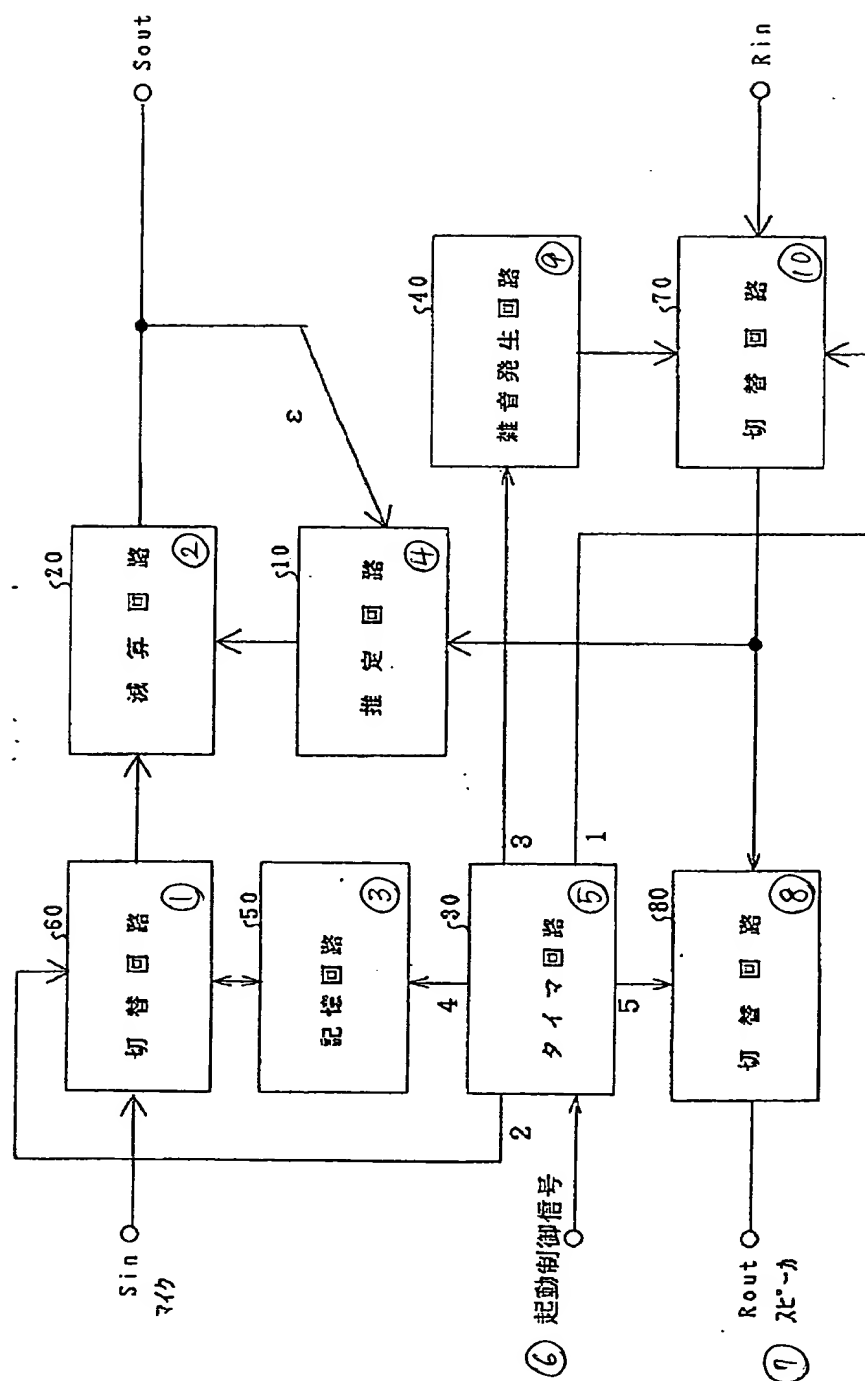
$S_{in}$  送信入力信号

$S_{out}$  送信出力信号

$R_{in}$  受信入力信号

$R_{out}$  受信出力信号

〔図1〕



〔図2〕

リソース	スタート サンプリング		エコー推定（スピーチは無音）	通常運用（トレーニング完了）
	Rinを接続	雑音を出力		
出力1：切替回路1	Rinを接続	雑音を出力		Rinを接続
出力2：切替回路2	Sinをキャンセラに接続	Sinを記憶回路に接続	Sinを切り記憶回路出力とエコーキャンセラを接続	Sinをキャンセラに接続
	発生停止	周期Eの繰り返ししノイズを出力		
出力4：記憶回路	入出力停止	Sinからの入力を記憶（サンプリング）	サンプリングデータを出力	入出力停止
	RinをRoutに接続		RinとRoutとを断絶	RinとRoutとを接続

リソース

出力1：切替回路1

出力2：切替回路2

出力3：雑音発生回路

出力4：記憶回路

出力5：切替回路3



【図3】

